

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-028090

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

G02F 1/136

G02F 1/136

G09G 3/36

(21)Application number : 05-173843

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.07.1993

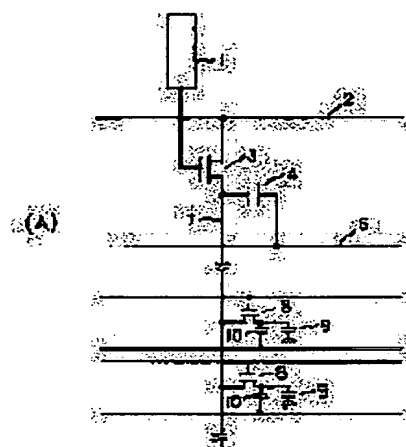
(72)Inventor : KIHARA YUMI  
NAKAMURA HIROYOSHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

## (57)Abstract:

**PURPOSE:** To reduce the thickness of the insulating film of a holding capacitance and to lower parasitic resistance so as to reduce the area of the holding capacitance and to improve frequency characteristics by constituting a MIM capacitance specified in a lower electrode, insulating film and upper electrode as the holding capacitance of a signal line driving circuit.

**CONSTITUTION:** The MIM type holding capacitance in a part where a thin-film transistor(TFT) 3 for video signal writing and the holding capacitance 4 is integrally formed is composed of the lower electrode 41 metallized by doping with the same impurity as the impurity of the semiconductor active layer 31 of the TFT 3, the same insulating film 43 as the gate insulating film 34 of the TFT 3 and the upper electrode 42 of the same layer as the layer of the gate 35 of the TFT 3. Namely, the lower electrode 41 is formed to have an area larger than the area of the upper electrode 42. The source 33 and drain 32 of the TFT are simultaneously doped to make the part 41a of the lower electrode 41 lower in resistance than the central part. Therefore, the parasitic resistance of the lower electrode 41 is lowered and the frequency characteristics are improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-28090

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9119-2K		
	5 1 0	9119-2K		
G 0 9 G 3/36				

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平5-173843

(22) 出願日 平成5年(1993)7月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 木原 由美

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72) 発明者 中村 弘喜

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

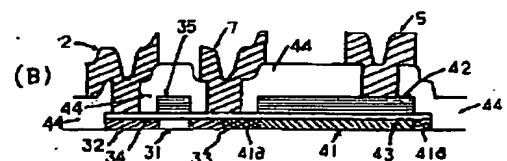
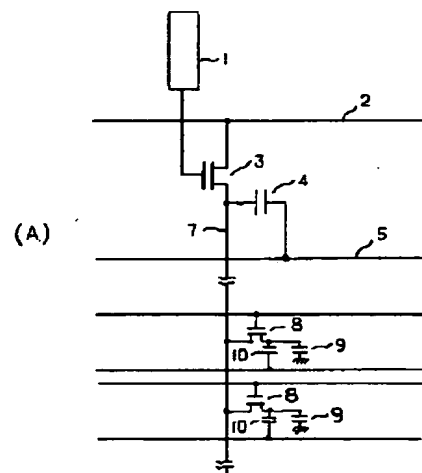
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【目的】 この発明は、信号線駆動回路のホールド容量の小面積化と周波数特性を確保した小型で高性能の駆動回路一体型のアクティブマトリクス型液晶表示装置を提供することを目的とする。

【構成】 この発明は、信号線駆動回路のホールド容量として、下電極は駆動回路で用いている薄膜トランジスタの半導体活性層と同じ層に不純物をドーピングして金属化した層とし、絶縁膜は薄膜トランジスタのゲート絶縁膜と同じ絶縁膜とし、上電極は薄膜トランジスタのゲート電極と同じ層としたMIM型容量を構成することによって上記目的を達成するものである。



(2)

1

## 【特許請求の範囲】

【請求項 1】基板上に規則的に配列された多数のゲート線とソース線、及び前記ゲート線とソース線との交点に設けられたスイッチング用薄膜トランジスタと、前記薄膜トランジスタを順次駆動するための信号線走査駆動回路及びゲート線走査駆動回路を少なくとも備えた液晶表示装置において、上記信号線駆動回路はソース電極、ドレイン電極、半導体活性層、ゲート絶縁層及びゲート電極を少なくとも備えた映像信号書き込み用薄膜トランジスタと、下電極—絶縁膜—上電極からなるMIM型容量とから成るサンプルホールド回路を少なくとも備え、前記MIM型容量の下電極は前記薄膜トランジスタの半導体活性層材に不純物をドーパした金属化層からなり、前記MIM型容量の絶縁膜は前記薄膜トランジスタのゲート絶縁層材からなり、前記MIM型容量の上電極は前記薄膜トランジスタのゲート電極材からなることを特徴とする液晶表示装置。

【請求項 2】基板上に規則的に配列された多数のゲート線とソース線、及び前記ゲート線とソース線との交点に設けられたスイッチング用薄膜トランジスタと、前記薄膜トランジスタを順次駆動するための信号線走査駆動回路及びゲート線走査駆動回路を少なくとも備えた液晶表示装置の製造方法において、上記信号線駆動回路はソース電極、ドレイン電極、半導体活性層、ゲート絶縁層及びゲート電極を少なくとも備えた映像信号書き込み用薄膜トランジスタと、下電極—絶縁膜—上電極からなるMIM型容量とから成るサンプルホールド回路を少なくとも備え、前記薄膜トランジスタの半導体活性層と前記MIM型容量の下電極とを同時に成膜形成する工程と、前記薄膜トランジスタのゲート絶縁層と前記MIM型容量の絶縁膜を同時に成膜して形成する工程と、前記薄膜トランジスタのゲート電極と前記MIM型容量の上電極を同時に成膜形成する工程と、前記薄膜トランジスタのソース及びドレイン部に不純物をドーパしてソース及びドレイン電極を形成する工程とを少なくとも備えたことを特徴とする液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、アクティブマトリクス型液晶表示装置及びその製造方法に係わり特に駆動回路一体型の信号線駆動回路に関する。

## 【0002】

【従来の技術】文字や図形のキャラクター表示用液晶表示装置としては、規則的に配列された多数のアドレス配線電極とデータ配線電極を交差させ、この交差した各区画を画素とするマトリクス型液晶表示装置が多用されている。そして、さらに大容量で高精細の表示を指向する場合は、アドレス配線電極とデータ配線電極に対応するゲート線とソース線の交点に駆動用スイッチング素子を備えたアクティブマトリクス型液晶表示装置が用いられ

2

ている。このようなスイッチング素子としては、高速応答に優れフルカラー表示に適するものとして薄膜トランジスタが用いられている。

【0003】さらに、従来の、薄膜トランジスタを順次駆動するための信号線走査駆動回路は、図3に示すように、映像信号書き込み用薄膜トランジスタとサンプルホールド容量とが一体化された映像信号のサンプルホールド回路を基板上に形成している。即ち、薄膜トランジスタ部分は、例えば多結晶シリコンからなる半導体活性層31、その両側のソース電極32、ドレイン電極33、ゲート絶縁膜34、ゲート電極35、層間絶縁膜層44、表示信号線2（ゲート線）及び信号線7（ソース線）とから構成されている。また、サンプルホールド容量部分は、下電極41、絶縁膜43及び上電極42のMIM型容量から構成されている。

【0004】そして、サンプルホールド容量部分の下電極41は薄膜トランジスタ部分のドレイン電極35と同一材で、絶縁膜43は層間絶縁膜層44と同一材で、上電極42は表示信号線2と同一材で形成された容量で構成されている。

## 【0005】

【発明が解決しようとする課題】上記の図3に示すような、駆動回路一体型のサンプルホールド回路のMIM型容量においては、薄膜トランジスタの層間絶縁膜層44としては一定の膜厚が必要である。従ってこれと同一の膜厚のMIM型容量の絶縁膜43では膜厚が厚すぎるため、ホールド容量を形成するためには大面積が必要となる。これは液晶表示装置の小型化に支障をもたらすだけでなく、ピンホールなどの欠陥による歩留まりの低下が生じ易い問題も発生する。

【0006】この問題に対する改善として、特開昭62-178296号公報に示されるように、ホールド容量を薄膜トランジスタと同一構造の金属—酸化膜—半導体層(MOS)型容量とすることにより、容量部分の面積低下と歩留まり向上を計る提案がなされている。

【0007】しかしながら、このMOS型容量の場合、MOS型容量の電極の一つは半導体層となるが、この層は当然のことながらシート抵抗が大きい。即ち、寄生抵抗が大きく、しかも容量と直列接続される構成であるために周波数特性が悪く、高周波数領域でインピーダンスが高くなって容量部への電圧の充電が不十分となってしまう。このため、動作的には、映像信号の書き込み用薄膜トランジスタがオンしている間は所定の電圧がかかるが、容量に十分充電される前にオフとなってしまう、所望の電圧を保持するというホールド容量の機能が果たせないことになってしまう問題がある。

【0008】この発明は以上の問題に鑑みてなされたもので、ホールド容量の小面積化と周波数特性を確保した小型で高性能の駆動回路一体型の液晶表示装置を提供することを目的とする。

50

(3)

3

【0009】

【課題を解決するための手段】この発明は、基板上に規則的に配列された多数のゲート線とソース線、及び前記ゲート線とソース線との交点に設けられたスイッチング用薄膜トランジスタと、前記薄膜トランジスタを順次駆動するための信号線走査駆動回路及びゲート線走査駆動回路を少なくとも備えた液晶表示装置において、上記信号線駆動回路はソース電極、ドレイン電極、半導体活性層、ゲート絶縁層及びゲート電極を少なくとも備えた映像信号書き込み用薄膜トランジスタと、下電極—絶縁膜—上電極からなるMIM型容量とから成るサンプルホールド回路を少なくとも備え、前記MIM型容量の下電極は前記薄膜トランジスタの半導体活性層材に不純物をドーブした金属化層からなり、前記MIM型容量の絶縁膜は前記薄膜トランジスタのゲート絶縁層材からなり、前記MIM型容量の上電極は前記薄膜トランジスタのゲート電極材からなる液晶表示装置であり、また、上記信号線駆動回路はソース電極、ドレイン電極、半導体活性層、ゲート絶縁層及びゲート電極を少なくとも備えた映像信号書き込み用薄膜トランジスタと、下電極—絶縁膜—上電極からなるMIM型容量とから成るサンプルホールド回路を少なくとも備え、前記薄膜トランジスタの半導体活性層と前記MIM型容量の下電極を同時に成膜形成する工程と、前記薄膜トランジスタのゲート絶縁層と前記MIM型容量の絶縁膜を同時に成膜形成する工程と、前記薄膜トランジスタのゲート電極と前記MIM型容量の上電極を同時に成膜形成する工程と、前記薄膜トランジスタのソース及びドレイン部に不純物をドーブしてソース及びドレイン電極を形成する工程とを少なくとも備えた液晶表示装置の製造方法である。

【0010】

【作用】本発明によれば、小面積で大容量のホールド容量を確保できるだけでなく、MIM型容量の下電極のシート抵抗を下げるができるため、寄生抵抗が小さく、周波数特性を向上させることができる。

【0011】ここで、容量の大きさは絶縁膜の面積に比例し、厚さに反比例するので、小面積で大きな容量とするためには、絶縁膜をできるだけ薄くすればよい。もちろんピンホールなどのないことが必要である。駆動回路一体型のアクティブマトリクス型液晶表示装置の場合、スイッチング素子の薄膜トランジスタのゲート絶縁膜材をホールド容量の絶縁膜と兼ねるのがよいと考えられるが、この方法では以下の問題があり、実用化は困難である。

【0012】即ち、薄膜トランジスタのゲート絶縁膜の成膜時にホールド容量の絶縁膜を同時に成膜させてホールド容量を形成する場合、薄膜トランジスタの半導体層をホールド容量の下電極としたMOS容量を形成することになる。この半導体層のシート抵抗は、膜形成時の不純物濃度及び膜厚、印加電圧などで変化させることがで

4

きるが、薄膜トランジスタの活性層として用いる場合はシート抵抗は数十 $k\Omega$ 以上となる。一方、ホールド容量としては数 $pF$ 程度、また周波数特性としては数 $MHz$ 以上が必要である。従って、薄膜トランジスタの活性層としての必要条件を満たしながら、同時にホールド容量としての必要条件を満足させることは実質的に不可能である。

【0013】しかしながら、半導体層は成膜時の不純物濃度によりその抵抗値を下げるができる。図4に薄膜シリコンに不純物をドーブし、それぞれ700度で活性化した場合の不純物濃度と抵抗率との関係を示す。半導体層の膜厚は $0.1\mu m$ 程度であるが、図4から明らかなように、シート抵抗としては数百 $M\Omega$ から数十 $M\Omega$ まで変化している。活性化率にもよるが、このように同じ膜厚でも不純物濃度を変化させることにより、シート抵抗値を大きく変化させることができる。

【0014】従って、薄膜トランジスタの半導体活性層成膜時に、同時にホールド容量の下電極準備層を成膜し、この下電極準備層に不純物を打ち込んでシート抵抗を充分下げて下電極とする。そして、この下電極の上に薄膜トランジスタのゲート絶縁膜成膜時に同時にホールド容量の絶縁膜を成膜すれば、小面積で大容量、且つ寄生抵抗の小さいホールド容量を形成することができる。

【0015】尚、薄膜トランジスタのゲート絶縁膜を熱酸化法で酸化させて形成する場合は、酸化レートが濃度により多少異なってくるので、設定条件に充分注意する必要がある。しかし、CVD法などの低温工程で形成する場合は、その必要はない。

【0016】また、ホールド容量の下電極のシート抵抗を充分下げることが出来ない場合は、寄生抵抗をさらに下げる必要がある。即ち、例えばホールド容量の下電極の面積を上電極の面積よりも大きく形成することも有効である。このようにすることによって、下電極の上電極よりも面積の大きい部分、即ち下電極の露出部分には、薄膜トランジスタのソース及びドレイン電極と同様に不純物が打ち込まれるので、この部分のシート抵抗が下がり、ホールド容量全体の寄生抵抗も下がることになる。

【0017】さらに、ホールド容量を分割し、並列に接続することは製造歩留まりを上げるうえで非常に有効である。ホールド容量部には所定の面積が必要であり、ピンホールの全くない絶縁膜を形成することは困難であり、その分だけ製造歩留まりが低下することは避けられない。従って、ホールド容量を分割し並列に接続しておき、絶縁膜のピンホールによる不良が発生した場合は、この不良のホールド容量部分を切り離すことによって、製造歩留まりの低下を防止することができる。

【0018】

【実施例】以下に、本発明の実施例について、図1を用いて詳細に説明する。図1(A)はアクティブマトリクス型液晶表示装置の信号線走査駆動回路及びスイッチン

50

(4)

5

グ素子としての薄膜トランジスタを含む概略構成を示し、図1(B)は信号線走査駆動回路の映像信号書き込み用薄膜トランジスタとMIM型サンプルホールド容量の概略構成をそれぞれ示す。

【0019】図1(A)において、映像信号書き込み用薄膜トランジスタ3のドレイン電極に表示信号線2が接続され、表示信号が伝送される。走査回路1の出力端子は映像信号書き込み用薄膜トランジスタ3のゲート電極に接続され、走査回路1からの出力パルスによって薄膜トランジスタ3を一定期間だけオンさせて表示信号をサンプリングして薄膜トランジスタ3のソース電極に接続された信号線7に取り込む。薄膜トランジスタ3のソース電極には信号線7と並列にホールド容量4が接続される。ホールド容量4には定電位線5から一定の電位が供給される。

【0020】また、信号線7は液素セル9の薄膜トランジスタ8のソース電極に接続され、薄膜トランジスタ8のゲート電極は各画素のゲート線に接続されて、各画素の液晶セルへの信号の書き込みが行われる。8は各液晶セルの容量である。

【0021】図1(B)は、図1(A)の映像信号書き込み用薄膜トランジスタ3とホールド容量4が一体型に形成された部分の概略構成を示すものである。図1

(B)において、MIM型サンプルホールド容量は、Siの薄膜からなる半導体層に、例えばPをドーピングして低抵抗化した下電極41と、CVD法により成膜したSiO<sub>2</sub>からなる絶縁膜43と、不純物としてPをドーピングした多結晶Si薄膜からなる上電極42とから構成されている。

【0022】このホールド容量の下電極41は、サンプルホールド回路のスイッチング用薄膜トランジスタの半導体活性層31と同時に成膜形成される。また、ホールド容量の下電極41の一端部は薄膜トランジスタのソース電極の一端部とつながっている。さらに、ホールド容量の絶縁膜43は、薄膜トランジスタのゲート絶縁膜34と同時に成膜形成され、ホールド容量の上電極42は、薄膜トランジスタのゲート電極35と同時に成膜形成される。

【0023】ホールド容量の上電極42の形成後は、薄膜トランジスタのソース33及びドレイン32部への不純物注入、層間絶縁膜44の成膜形成、ソース電極及びドレイン電極のコンタクトホール形成および表示信号線2、信号線7の電極配線は通常の方法で形成される。

【0024】ここで、ホールド容量の下電極41は、Pのドーピング量が少なすぎるとMOS型容量と同様の問題が生ずる。従って、不純物の活性化率にもよるが、 $5 \times 10^{17} / \text{cm}^3$  以上が必要であり、望ましくは $5 \times 10^{18} / \text{cm}^3$  以上であるとよい。

【0025】また、この下電極41は、上電極42に比べてその面積は大きく形成されている。即ち、下電極41の周囲は約 $2 \mu\text{m}$ づつ上電極42より大きく形成されている。従って、この約 $2 \mu\text{m}$ のはみだした部分は薄膜トランジ

6

スタのソース33及びドレイン32部がドーピングされる工程で同時にドーピングされて、図1(B)のクロスハッチング部分41aは下電極41の中央部分よりもさらに低抵抗化されている。このような構成とすることにより、ホールド容量の下電極41の寄生抵抗をさらに下げることが出来、周波数特性もその分向上する。

【0026】薄膜トランジスタのゲート絶縁膜34及びホールド容量の絶縁膜43の形成は、上記実施例ではCVD法によって成膜したが、半導体層の熱酸化膜形成により成膜する場合は以下の注意が必要である。即ち、ホールド容量を形成する部分はPなどの不純物を注入しているため、薄膜トランジスタの活性層部分と比較するとその熱酸化速度に注意する必要がある。即ち、図5に示すように、Pをドーピングして熱酸化した場合のドーピング量と酸化レート10の特性から、 $1 \times 10^{20} / \text{cm}^3$  以上のドーピングを行った場合は熱酸化速度が非常に大きくなることがわかる。

【0027】従って、ホールド容量の絶縁膜43を熱酸化法で成膜する場合、不純物濃度に対応して熱酸化速度が大きく変化して、その容量値も変化することに留意し、不純物をドーピングした絶縁膜のシート抵抗値と容量値を適切に選定する必要がある。

【0028】以上のような絶縁膜のシート抵抗値と容量値の検討については、上記実施例のように下電極41の面積を上電極42の面積よりも大きく形成し、そのはみだし部分のシート抵抗を小さくする構成も有効であるが、図2に示すような構成も有効である。即ち、ホールド容量の下電極41の厚さを薄膜トランジスタの活性層31の厚さよりも厚くして、ホールド容量の下電極41のシート抵抗値を低下させることもできる。尚、図2において、図1(B)と同様の構成部分は同一の番号で示している。このような形成方法は種々の方法が選択できるが、例えば、ホールド容量の下電極の部分のみ2層化したり、あるいは2種類のマスクとエッチングにより形成することができる。

【0029】さらに、このようなホールド容量を複数配置し、並列に接続することによって（図示せず）、製造歩留まりが向上するだけでなく、寄生抵抗を増加させることなく容量値を大きくすることができる。従って、周波数特性及び製造歩留まりを低下させることなくホールド容量を大きくすることができる。

【0030】

【発明の効果】以上のように本発明によれば、アクティブマトリクス型液晶表示装置の駆動回路一体型の信号線駆動回路のホールド容量として、下電極は薄膜トランジスタの半導体活性層と同じ不純物をドーピングして金属化した層とし、絶縁膜は薄膜トランジスタのゲート絶縁膜と同じ絶縁膜とし、上電極は薄膜トランジスタのゲート電極と同じ層としたMIM型容量を構成することによって、ホールド容量の絶縁膜を薄膜化するとともに寄生抵

50

(5)

7

抗を下げる事ができるため、ホールド容量の小面積化と周波数特性の向上を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すもので、図1(A)はアクティブマトリクス型液晶表示装置の信号線走査駆動回路及びスイッチング素子としての薄膜トランジスタを含む概略構成を示し、図1(B)は信号線走査駆動回路の映像信号書き込み用薄膜トランジスタとMIM型サンプルホールド容量の概略構成をそれぞれ示す。

【図2】本発明の他の実施例を図1(B)に対応して示す概略構成図。

【図3】従来の図1(B)に対応する概略構成図。

【図4】薄膜シリコンに不純物をドーピングし、それぞれ700度で活性化した場合の不純物濃度と抵抗率との関係を示す特性図。

8

【図5】半導体層にPをドーピングして熱酸化した場合のドーピング量と酸化レートとの関係を示す特性図。

【符号の説明】

2…表示信号線

5…定電位線

7…信号線

31…薄膜トランジスタの半導体活性層

32…薄膜トランジスタのドレイン電極

33…薄膜トランジスタのソース電極

34…薄膜トランジスタのゲート絶縁膜

35…薄膜トランジスタのゲート電極

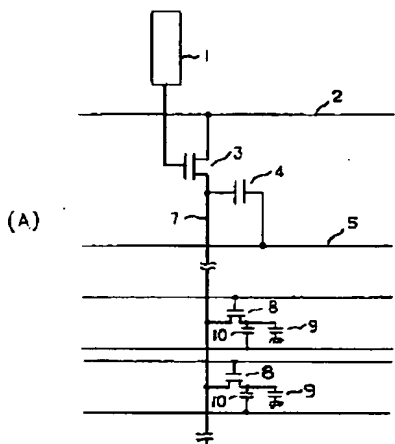
41…ホールド容量の下電極

42…ホールド容量の上電極

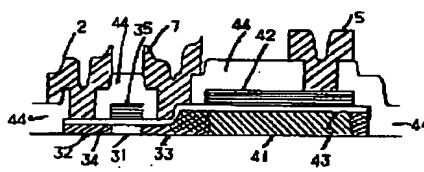
43…ホールド容量の絶縁膜

44…層間絶縁膜

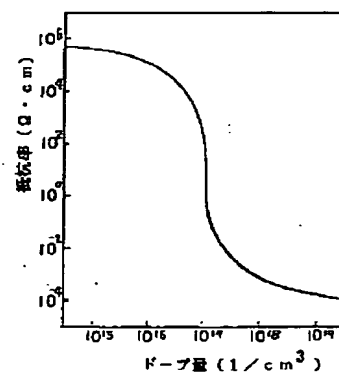
【図1】



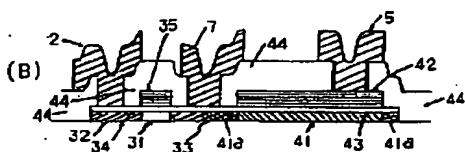
【図2】



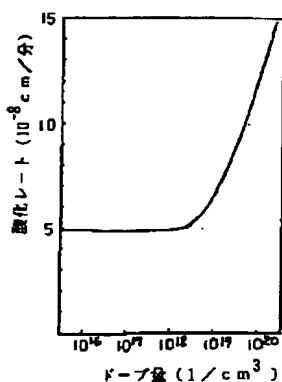
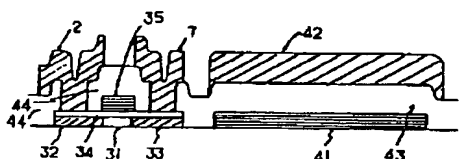
【図4】



【図5】



【図3】



\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The thin film transistor for switching prepared on the substrate at the intersection of the gate line of a large number arranged regularly, a source line, and said gate line and source line, In the liquid crystal display equipped with the signal-line scan drive circuit for carrying out the sequential drive of said thin film transistor, and the gate linear-scanning drive circuit at least The thin film transistor for video-signal writing which the above-mentioned signal-line drive circuit equipped with a source electrode, the drain electrode, the semi-conductor barrier layer, the gate insulating layer, and the gate electrode at least, It has at least the sample hold circuit which consists of the MIM mold capacity which consists of a bottom electrode-insulator layer - top electrode. The bottom electrode of said MIM mold capacity becomes the semi-conductor barrier layer material of said thin film transistor from the metalization layer which doped the impurity. It is the liquid crystal display characterized by for the insulator layer of said MIM mold capacity consisting of gate insulating-layer material of said thin film transistor, and the upper electrode of said MIM mold capacity consisting of gate electrode material of said thin film transistor.

[Claim 2] The thin film transistor for switching prepared on the substrate at the intersection of the gate line of a large number arranged regularly, a source line, and said gate line and source line, In the manufacture approach of the liquid crystal display equipped with the signal-line scan drive circuit for carrying out the sequential drive of said thin film transistor, and the gate linear-scanning drive circuit at least

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the signal-line drive circuit of drive circuit one apparatus with respect to an active matrix liquid crystal display and its manufacture approach.

[0002]

[Description of the Prior Art] Many the address wiring electrodes and data wiring electrodes which were arranged regularly are made to cross as a liquid crystal display for a character display of an alphabetic character or a graphic form, and the matrix mold liquid crystal display which makes each of this crossing partition a pixel is used abundantly. And when it points to a high definition display further with large capacity, the active matrix liquid crystal display which equipped the intersection of the gate line corresponding to an address wiring electrode and a data wiring electrode and a source line with the switching element for a drive is used. The thin film transistor is used as what is excellent in a high-speed response and is suitable for a full color display as such a switching element.

[0003] Furthermore, the signal-line scan drive circuit for carrying out the sequential drive of the conventional thin film transistor forms on a substrate the sample hold circuit of the video signal with which the thin film transistor for video-signal writing and sample hold capacity were unified, as shown in drawing 3 . That is, the thin film transistor part consists of the semi-conductor barrier layer 31 which consists of polycrystalline silicon, the source electrode 32 of the both sides, the drain electrode 33, gate dielectric film 34, the gate electrode 35, a layer insulation membrane layer 44, a display signal line 2 (gate line), and a signal line 7 (source line). Moreover, a part for a sample hold part by volume consists of MIM mold capacity of the bottom electrode 41, an insulator layer 43, and the upper electrode 42.

[0004] And the bottom electrode 41 for a sample hold part by volume is the same material as the drain electrode 35 of a thin film transistor part, an insulator layer 43 is the same material as the layer insulation membrane layer 44, and the upper electrode 42 consists of capacity formed by the same material as the display signal line 2.

[0005]

[Problem(s) to be Solved by the Invention] In the MIM mold capacity of the sample hold circuit of drive circuit one apparatus as shown in above-mentioned drawing 3 , thickness fixed as a layer insulation membrane layer 44 of a thin film transistor is required. Therefore, in the insulator layer 43 of the MIM mold capacity of the same thickness as this, since thickness is too thick, in order to form hold capacity, a large area is needed. This not only brings trouble to the miniaturization of a liquid crystal display, but generates the problem which the fall of the yield by the defect of a pinhole etc. tends to produce.

[0006] As an improvement to this problem, as shown in JP,62-178296,A, the proposal which measures the area fall and the improvement in the yield for a part by volume is made by making hold capacity into the metal-oxide-film-semi-conductor layer (MOS) mold capacity of the same structure as a thin film transistor.

[0007] However, in the case of this MOS mold capacity, one of the electrodes of MOS mold capacity becomes a semi-conductor layer, but this layer has large sheet resistance with a natural thing. That is,

parasitism resistance is strong, since it is the configuration that moreover series connection is carried out to capacity, frequency characteristics are bad, an impedance will become high in a high-frequency field, and it will become inadequate charging [ of the electrical potential difference to a part by volume ]. For this reason, although a predetermined electrical potential difference is built in actuation while the thin film transistor for writing of a video signal turns on, before capacity charges enough, it becomes off, and there is a problem which can achieve the function of hold capacity of holding a desired electrical potential difference.

[0008] This invention was made in view of the above problem, and it is small and it aims at the thing which secured the formation of small area and frequency characteristics of hold capacity and for which the liquid crystal display of drive circuit one apparatus of high performance is offered.

[0009]

[Means for Solving the Problem] The thin film transistor for switching by which this invention was prepared on the substrate at the intersection of the gate line of a large number arranged regularly, a source line, and said gate line and source line, In the liquid crystal display equipped with the signal-line scan drive circuit for carrying out the sequential drive of said thin film transistor, and the gate linear-scanning drive circuit at least The thin film transistor for video-signal writing which the above-mentioned signal-line drive circuit equipped with a source electrode, the drain electrode, the semi-conductor barrier layer, the gate insulating layer, and the gate electrode at least, It has at least the sample hold circuit which consists of the MIM mold capacity which consists of a bottom electrode-insulator layer - top electrode. The bottom electrode of said MIM mold capacity becomes the semi-conductor barrier layer material of said thin film transistor from the metalization layer which doped the impurity. The insulator layer of said MIM mold capacity consists of gate insulating-layer material of said thin film transistor. The upper electrode of said MIM mold capacity is a liquid crystal display which consists of gate electrode material of said thin film transistor. Moreover, the thin film transistor for video-signal writing which the above-mentioned signal-line drive circuit equipped with a source electrode, the drain electrode, the semi-conductor barrier layer, the gate insulating layer, and the gate electrode at least, The process which is equipped with the sample hold circuit which consists of the MIM mold capacity which consists of a bottom electrode-insulator layer - top electrode at least, and carries out membrane formation formation of the bottom electrode of the semi-conductor barrier layer of said thin film transistor, and said MIM mold capacity at coincidence, The process which carries out membrane formation formation of the gate insulating layer of said thin film transistor, and the insulator layer of said MIM mold capacity at coincidence, It is the manufacture approach of the liquid crystal display equipped with the process which carries out membrane formation formation of the gate electrode of said thin film transistor, and the upper electrode of said MIM mold capacity at coincidence, and the process which dopes an impurity in the source and the drain section of said thin film transistor, and forms the source and a drain electrode in them at least.

[0010]

[Function] According to this invention, since the sheet resistance of the bottom electrode of MIM mold capacity can be lowered, parasitism resistance can be small and a hold capacity mass in small area is not only securable, but it can raise frequency characteristics.

[0011] What is necessary is here, just to make an insulator layer as thin as possible, in order to consider as a big capacity in small area, since the magnitude of capacity is proportional to the area of an insulator layer and it is in inverse proportion to thickness. It is required for there to be no pinhole etc., of course. Although it is thought that it is good to serve as the gate-dielectric-film material of the thin film transistor of a switching element with the insulator layer of hold capacity in the case of the active matrix liquid crystal indicating equipment of drive circuit one apparatus, there are the following problems by this approach and utilization is difficult.

[0012] That is, when making coincidence form the insulator layer of hold capacity and forming hold capacity at the time of membrane formation of the gate dielectric film of a thin film transistor, the MOS capacity which used the semi-conductor layer of a thin film transistor as the bottom electrode of hold capacity will be formed. Although the sheet resistance of this semi-conductor layer can be changed with

the high impurity concentration at the time of film formation and thickness, applied voltage, etc., when using as a barrier layer of a thin film transistor, sheet resistance becomes more than several 10k $\Omega$ . On the other hand, as a hold capacity, several MHz or more is required as about several pF and frequency characteristics. Therefore, it is substantially impossible to satisfy the requirement as a hold capacity to coincidence, satisfying the requirement as a barrier layer of a thin film transistor.

[0013] However, a semi-conductor layer can lower the resistance with the high impurity concentration at the time of membrane formation. An impurity is doped to thin film silicon at drawing 4, and it is 700, respectively. The relation between the high impurity concentration at the time of being activated by whenever and resistivity is shown. The thickness of a semi-conductor layer is 0.1. Although it is mum grade, as sheet resistance, it is changing from hundreds of M  $\Omega$  to dozens of M  $\Omega$  so that clearly from drawing 4. Although based also on the rate of activation, when the thickness same in this way also changes high impurity concentration, sheet resistance can be changed a lot.

[0014] Therefore, at the time of semi-conductor barrier layer membrane formation of a thin film transistor, the bottom electrode preparation layer of hold capacity is formed to coincidence, an impurity is driven into a bottom [ this ] electrode preparation layer, sheet resistance is lowered enough, and it considers as a bottom electrode at it. And if the insulator layer of hold capacity is formed on a bottom [ this ] electrode at coincidence at the time of gate-dielectric-film membrane formation of a thin film transistor, large capacity and a small hold capacity of parasitism resistance can be formed in small area.

[0015] In addition, since an oxidation rate changes somewhat with concentration when oxidizing the gate dielectric film of a thin film transistor by the oxidizing [ thermally ] method and forming it, it needs to be cautious of setups enough. However, when forming at low-temperature processes, such as a CVD method, the need does not exist.

[0016] Moreover, when sheet resistance of the bottom electrode of hold capacity cannot be lowered enough, it is necessary to lower parasitism resistance further. That is, it is also effective to form the area of the bottom electrode of hold capacity more greatly than the area of an upper electrode, for example. Since an impurity is driven into a part with a larger area than the upper electrode of a bottom electrode, i.e., the exposed part of a bottom electrode, like the source of a thin film transistor, and a drain electrode by doing in this way, the sheet resistance of this part will fall and parasitism resistance of the whole hold capacity will also fall.

[0017] Furthermore, it is very effective to divide hold capacity and to connect with juxtaposition, when raising the manufacture yield. A predetermined area is required for a hold part by volume, it is difficult to form an insulator layer without a pinhole, and it is not avoided that the manufacture yield falls [ the part ]. Therefore, when hold capacity is divided, it connects with juxtaposition and the defect by the pinhole of an insulator layer occurs, the fall of the manufacture yield can be prevented by separating a part for this defect's hold part by volume.

[0018]

[Example] Drawing 1 is used for below and the example of this invention is explained to it at a detail. Drawing 1 (A) shows the outline configuration containing the thin film transistor as the signal-line scan drive circuit and switching element of an active matrix liquid crystal indicating equipment, and drawing 1 (B) shows the outline configuration of the thin film transistor for video-signal writing of a signal-line scan drive circuit, and MIM mold sample hold capacity, respectively.

[0019] In drawing 1 (A), the display signal line 2 is connected to the drain electrode of the thin film transistor 3 for video-signal writing, and a status signal is transmitted. The output terminal of a scanning circuit 1 is incorporated to the signal line 7 which was connected to the gate electrode of the thin film transistor 3 for video-signal writing, only a fixed period made turn on a thin film transistor 3, sampled the status signal, and was connected to the source electrode of a thin film transistor 3 by the output pulse from a scanning circuit 1. The hold capacity 4 is connected to the source electrode of a thin film transistor 3 at a signal line 7 and juxtaposition. Fixed potential is supplied to the hold capacity 4 from the constant potential line 5.

[0020] Moreover, a signal line 7 is connected to the source electrode of the thin film transistor 8 of the humor cel 9, the gate electrode of a thin film transistor 8 is connected to the gate line of each pixel, and

the writing of the signal to the liquid crystal cell of each pixel is performed. 8 is the capacity of each liquid crystal cell.

[0021] Drawing 1 (B) shows the outline configuration of the part by which the thin film transistor 3 for video-signal writing and the hold capacity 4 of drawing 1 (A) were formed in one apparatus. In drawing 1 (B), MIM mold sample hold capacity is constituted from an upper electrode 42 which consists of the bottom electrode 41 which doped and formed P into low resistance, an insulator layer 43 which consists of SiO<sub>2</sub> which formed membranes with the CVD method, and a polycrystal Si thin film which doped P as an impurity by the semi-conductor layer which consists of a thin film of Si.

[0022] Membrane formation formation of the bottom electrode 41 of this hold capacity is carried out at the semi-conductor barrier layer 31 and coincidence of the thin film transistor for switching of a sample hold circuit. Moreover, the end section of the bottom electrode 41 of hold capacity is connected with the end section of the source electrode of a thin film transistor. Furthermore, membrane formation formation of the insulator layer 43 of hold capacity is carried out at the gate dielectric film 34 and coincidence of a thin film transistor, and membrane formation formation of the upper electrode 42 of hold capacity is carried out at the gate electrode 35 and coincidence of a thin film transistor.

[0023] Electrode wiring of formation and the display signal line 2 of the contact hole of the source 33 of a thin film transistor and the impurity impregnation to the drain 32 section, membrane formation formation of an interlayer insulation film 44, a source electrode, and a drain electrode, and a signal line 7 is formed by the usual approach after formation of the upper electrode 42 of hold capacity.

[0024] Here, if the bottom electrode 41 of hold capacity has too few amounts of dopes of P, the same problem as MOS mold capacity will produce it. Therefore, although based also on the rate of activation of an impurity, it is  $5 \times 10^{17}$  /cm<sup>3</sup>. The above is required and it is  $5 \times 10^{18}$  /cm<sup>3</sup> desirably. It is good in it being above.

[0025] Moreover, compared with the upper electrode 42, that area is greatly formed for the bottom [ this ] electrode 41. That is, about 2 micrometers of perimeters of the bottom electrode 41 are formed at a time more greatly than the upper electrode 42. Therefore, it is doped by coincidence at the process by which the source 33 of a thin film transistor and the drain 32 section are doped, and the part which that [ this / about 2-micrometer ] disturbed is crosshatching partial 41a of drawing 1 (B). Low resistance is further formed rather than the central part of the bottom electrode 41. By considering as such a configuration, parasitism resistance of the bottom electrode 41 of hold capacity can be lowered further, and frequency characteristics also improve that much.

[0026] Although it formed membranes with the CVD method in the above-mentioned example, when forming membranes by thermal oxidation film formation of a semi-conductor layer, the following cautions are required for formation of the gate dielectric film 34 of a thin film transistor, and the insulator layer 43 of hold capacity. That is, since the part which forms hold capacity is pouring in impurities, such as P, it is necessary to notice it about the thermal oxidation rate as compared with the barrier layer part of a thin film transistor. Namely, the amount of dopes at the time of doping and oxidizing P thermally, as shown in drawing 5 , and the property of an oxidation rate to  $1 \times 10^{20}$  /cm<sup>3</sup> When the above doping is performed, it turns out that a thermal oxidation rate becomes very large.

[0027] Therefore, when forming the insulator layer 43 of hold capacity by the oxidizing [ thermally ] method, corresponding to high impurity concentration, a thermal oxidation rate needs to select appropriately the sheet resistance and capacity value of an insulator layer which doped the impurity with careful attention to changing a lot and the capacity value changing.

[0028] The configuration which forms the area of the bottom electrode 41 like the above-mentioned example more greatly than the area of the upper electrode 42, and makes small sheet resistance of the \*\*\*\* broth part about examination of the sheet resistance and capacity value of the above insulator layers is effective, and a configuration as shown in drawing 2 is also effective. That is, thickness of the bottom electrode 41 of hold capacity can be made thicker than the thickness of the barrier layer 31 of a thin film transistor, and the sheet resistance of the bottom electrode 41 of hold capacity can also be reduced. In addition, in drawing 2 , the same number shows the same component as drawing 1 (B). Although such a formation approach can choose various approaches, only the part of the bottom

electrode of hold capacity can be made two-layer, or it can be formed by two kinds of masks, and etching, for example.

[0029] Furthermore, it arranges two or more such hold capacity, and (it not illustrating) and the manufacture yield not only improve by connecting with juxtaposition, but it can enlarge capacity value, without making parasitism resistance increase. Therefore, hold capacity can be enlarged, without reducing frequency characteristics and the manufacture yield.

[0030]

[Effect of the Invention] According to this invention, as mentioned above as a hold capacity of the signal-line drive circuit of drive circuit one apparatus of an active matrix liquid crystal display A bottom electrode is used as the layer which doped and metalized the same impurity as the semi-conductor barrier layer of a thin film transistor. When an insulator layer considers as the same insulator layer as the gate dielectric film of a thin film transistor and an upper electrode constitutes the MIM mold capacity used as the same layer as the gate electrode of a thin film transistor Since parasitism resistance can be lowered while thin-film-izing the insulator layer of hold capacity, the formation of small area of hold capacity and improvement in frequency characteristics can be obtained.

---

[Translation done.]

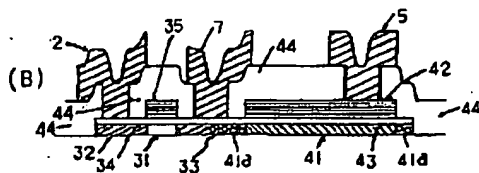
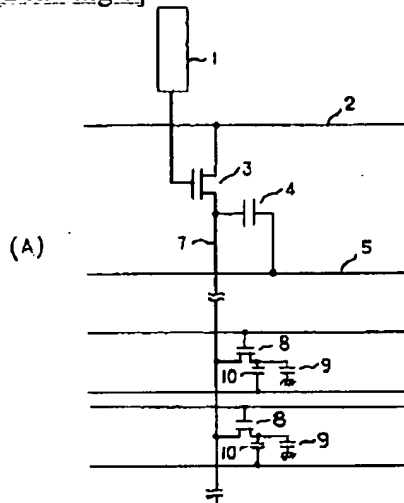
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

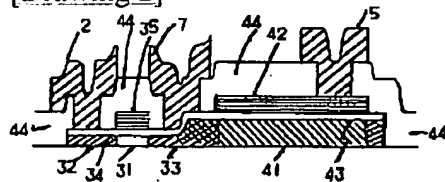
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

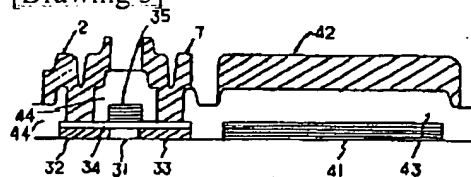
[Drawing 1]



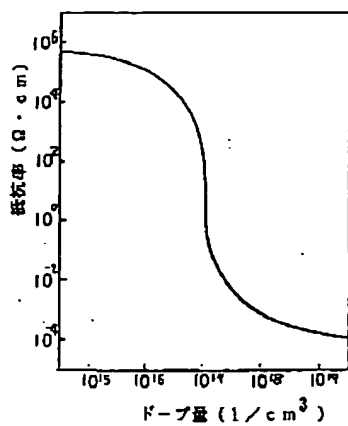
[Drawing 2]



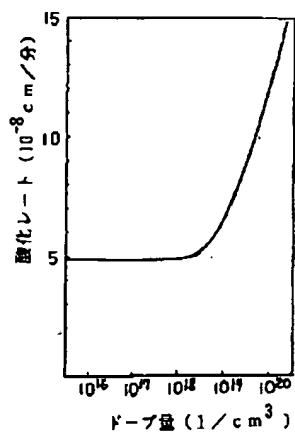
[Drawing 3]



[Drawing 4]



[Drawing 5]



---

[Translation done.]